

<p>(51) 国際特許分類 H02M 7/48, H01L 25/04</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/10508</p> <p>(43) 国際公開日 1998年3月12日(12.03.98)</p>
<p>(21) 国際出願番号 PCT/JP96/02541</p> <p>(22) 国際出願日 1996年9月6日(06.09.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 丹波昭浩(TANBA, Akihiro)(JP/JP) 〒310 茨城県水戸市渡里町2645の10 Ibaraki, (JP) 山田一二(YAMADA, Kazuji)(JP/JP) 〒316 茨城県日立市森山町三丁目8番32号 Ibaraki, (JP) 小川敏夫(OGAWA, Toshio)(JP/JP) 〒312 茨城県ひたちなか市馬渡357-6 Ibaraki, (JP) 齋藤隆一(SAITO, Ryuichi)(JP/JP) 〒319-12 茨城県日立市石名坂町一丁目42番67号 Ibaraki, (JP) 茂村達也(SHIGEMURA, Tatsuya)(JP/JP) 〒312 茨城県ひたちなか市後野2-15-9 Ibaraki, (JP)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: SEMICONDUCTOR DEVICE</p> <p>(54) 発明の名称 半導体装置</p> <p>(57) Abstract A semiconductor device is provided with a metal substrate, a plurality of wires fixed to the substrate through an insulating layer, and power circuit section electrically connected to the wires. The power circuit section is provided with a plurality of circuit parts which are electrically connected to the wires and respectively united, and a plurality of terminals which are bonded to the wires. Therefore, a highly reliable power semiconductor module is realized at a low cost.</p>		

(57) 要約

半導体装置が、金属基板と、その上に絶縁層を介して固定される複数の配線と、その複数の配線に電氣的に接続されるパワー回路部を備える。このパワー回路部は複数の配線間に電氣的に接続される複数の回路部分を有し、これら回路部分はそれぞれ一体化されるとともに複数の配線と接着される複数の端子を有する。本発明によれば、低コストでかつ信頼性の高いパワー半導体モジュールを実現できる。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード (参考情報)

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FI	フィンランド	LR	リベリア	SG	シンガポール
AT	オーストリア	FR	フランス	LS	レソト	SI	スロベニア共和国
AU	オーストラリア	GA	ガボン	LT	リトアニア	SK	スロヴァキア共和国
AZ	アゼルバイジャン	GB	英国	LU	ルクセンブルグ	SL	シエラレオネ
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GH	ガーナ	MC	モナコ	SZ	スワジランド
BE	ベルギー	GM	ガンビア	MD	モルドヴァ共和国	TD	チャド
BF	ブルキナ・ファソ	CN	ギニア	MG	マダガスカル	TG	トーゴ
BG	ブルガリア	GR	ギリシア	MK	マケドニア共和国	TJ	タジキスタン
BJ	ベナン	GU	グアム	ML	マリ	TM	トルクメニスタン
BR	ブラジル	HU	ハンガリー	MN	モンゴル	TR	トルコ
BY	ベラルーシ	ID	インドネシア	MR	モーリタニア	TT	トリニダード・トバゴ
CA	カナダ	IE	アイルランド	MW	マラウイ	UA	ウクライナ
CF	中央アフリカ共和国	IL	イスラエル	MX	メキシコ	UG	ウガンダ
CG	コンゴ	IS	アイスランド	NE	ニジェール	US	米国
CH	スイス	IT	イタリア	NL	オランダ	UZ	ウズベキスタン
CI	コート・ジボアール	JP	日本	NO	ノルウェー	VN	ヴェトナム
CM	カメルーン	KE	ケニア	NZ	ニュージーランド	YU	ユーゴスラビア
CN	中国	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
CU	キューバ	KR	朝鮮民主主義人民共和国	PT	ポルトガル		
CZ	チェコ共和国	KZ	カザフスタン	RO	ルーマニア		
DE	ドイツ	LC	セントルシア	RU	ロシア連邦		
DK	デンマーク	LI	リヒテンシュタイン	SD	スーダン		
EE	エストニア						

明 細 書

半 導 体 装 置

技術分野

本発明は、インバータ装置等の電力変換装置を構成するモジュール型の半導体装置に関する。

背景技術

パワー半導体モジュールを低コスト化する一つ的手段として、I C パッケージと同様に、トランスファモールドでパッケージを製造する方法がある。一例として、第3図に、特公平6-80748号公報に記載されるパワー半導体モジュールを示す。このモジュールは、ダーリントン接続されたバイポーラトランジスタで構成された3相インバータモジュールである。第3図(a)はパッケージ(以下PKGと略記する)30の平面図、同図(b)は側面図である。トランスファモールドタイプのパワー半導体モジュールにおいては、パッケージが金型により成形される。このため、外部入出力端子31がPKG側面から出ている。

トランスファモールドPKGを利用した従来の他のパワーモジュールを第2図に示す。本モジュールは、上述の場合と同様に、3相インバータモジュールである。バイポーラトランジスタの1チップPKG20、及びフライホイールダイオード(FWD)の1チップPKG21が使用される。これらのPKG20, 21は絶縁金属基板10上の銅配線に半田付けされる。制御信号の入力、及び主電流の取り出しは、モジュール中央に配置したボトムエントリコネクタ12で行う。本モジュールには、3端子レギュレータ22、及びシャント抵抗23も搭載される。さら

に、絶縁金属基板 10 にはモジュールをフィンに締め付けるためのモジュール取り付け穴 11 が形成される。

第 3 図に示すモジュールは、小型という利点を有する。第 3 図 (b) に示すように、パッケージの寸法 32 は数 mm 程度である。従って、本モジュールは小容量用である。本パッケージを数 10 A 以上、600 V 以上の中・大容量モジュールに適用した場合、モジュールが取り付けられるフィンと高電圧が印加される端子との絶縁距離は第 3 図 (b) の寸法 32 すなわち数 mm となる。このため、周囲環境によっては容易に放電が起こり、信頼性を確保できない。信頼性を向上するためには、600 V クラスでパッケージ寸法 32 を 1 cm 程度とすることが必要であり、本モジュールにおける小型という利点は失われる。さらに、本モジュールのように全素子を一括してトランスファモールドする場合、1 チップ PKG と比べて、モジュールに加わる応力が大きくなる。このため、放熱、冷却を繰り返す環境で使用されるパワーモジュールでは、モジュール中の半田等、部品中の応力が増大し、信頼性が低下してしまう。

第 2 図の 3 相インバータモジュールにおいて、バイポーラトランジスタの電流容量は 10 A 程度である。つまり、インバータの電流容量は高々 10 数 A である。ところが、モジュールサイズを決定する絶縁金属基板 10 の大きさは、射出成形したモジュールケースを使用した 100 A クラスの 3 相インバータモジュールとほぼ同様の大きさあるいはそれ以上である。つまり、電流容量は 1 桁小さいにもかかわらず、モジュールの大きさはほぼ同じ大きさである。この原因は、1 チップ PKG を使用しているため、多数の素子を使用する 3 相モジュールでは、全半導体チップ面積に比べて全 PKG 面積が大きくなってしまふこと、及び、配線が複雑となり面積効率が低くなることである。放熱板である金属ベース

は大面積になると反りが大きくなるため、金属ベースとフィンとの密着性が劣化し、モジュール信頼性が低下する。

パワー半導体モジュールについては、小容量から大容量まで様々な電流容量を有する機種、ブレーキ回路を内蔵する機種、コンバータ回路を内蔵する機種など多数の機種が要求される。第3図のパワーモジュールの場合、機種毎にPKGを製造する必要があるため、製造コストが大幅に増大する。さらに、第3図のモジュールは、モールド後のリペアが不可能であり、モジュール内の素子の内1チップでもモールド後に不良が発生すると、一つの製品が不良品になる。

本発明は、上述したような問題点を考慮して為されたものであり、低コストでかつ高い信頼性を有するパワー半導体モジュールを提供することを目的とする。

発明の開示

本発明の半導体装置は、金属基板と、この金属基板上に絶縁層を介して固定される複数の配線と、これら複数の配線に電氣的に接続されるパワー回路部とを備える。パワー回路部は、例えばインバータ装置やコンバータ装置などの各種電力変換装置を含む回路である。本パワー回路は、金属基板上の配線間に電氣的に接続される複数の回路部分を有する。例えば、これらの回路部分はインバータ装置またはコンバータ装置の一相分の回路であり、金属基板上の配線は電源電圧配線（P配線）及び接地電位配線（N配線）である。本複数の回路部分は、それぞれ一体化されかつ複数の配線と接着される端子部を有する。

好ましくは、各回路部分は、それぞれ樹脂で覆われるパッケージに内蔵される。

また、好ましくは、複数の回路部分は、金属基板上の複数の配線のみによって相互に電氣的に接続される。

さらに好ましくは、複数の回路部分において、パワー半導体素子は配線層に電氣的に接続され、複数の端子はこの配線層から延びる。

なお、パワー半導体素子としては、絶縁ゲートバイポーラトランジスタ、パワーMOSFET、パワートランジスタ、サイリスタ、及びダイオードなど各種の半導体素子が適用できる。

本発明によれば、パワー回路の主回路部を、それぞれ一体化された複数の回路部分により形成することができる。このため、金属基板上に搭載される回路部分の個数の増減により、電力変換装置の容量や交流の相数を容易に増減できる。また、付属回路の回路部分を準備すれば、その回路部分を、いわば1個の部品として金属基板に搭載すれば、容易に付属回路を付加できる。このように、本発明によれば、多様な機種のパワー半導体モジュールを、比較的簡単なモジュール構造によって容易に製作することができる。従って、低コストでかつ高い信頼性を有するパワー半導体モジュールが実現される。

図面の簡単な説明

第1図は、本発明による実施例の平面構造模式図である。

第2図は、1チップパッケージを使用した従来のパワーモジュールである。

第3図は、従来のトランスファモールドタイプのパワー半導体モジュールの平面図及び側面図である。

第4図は、基本パッケージ（2 in 1）の内部構造説明図である。

第5図は、基本パッケージ（ブレーキ回路）の内部構造説明図である。

第 6 図は、基本パッケージ（コンバータ回路）の内部構造説明図である。

第 7 図は、セラミック基板が用いられる基本パッケージ（2 in 1）の内部構造説明図である。

第 8 図は、3 相インバータモジュールの等価回路である。

第 9 図は、アルミ絶縁金属基板である。

第 10 図は、主端子ブロックの斜視図及び断面模式図である。

第 11 図は、本発明による実施例の断面構造模式図である。

第 12 図は、ブレーキ回路内蔵 3 相インバータモジュールの等価回路である。

第 13 図は、ブレーキ回路内蔵 3 相インバータモジュールの平面パターンである。

第 14 図は、コンバータ回路内蔵 3 相インバータモジュールの等価回路である。

第 15 図は、ダイオードブリッジパッケージと 2 in 1 パッケージとを 1 枚の放熱板に実装した例である。

第 16 図は、本発明による dual パッケージの実施例である。

第 17 図は、セラミック基板を有する基本パッケージ（2 in 1）が使用されるコンバータ回路内蔵 3 相インバータモジュールの平面構造模式図である。

第 18 図は、銅絶縁金属基板を用いたモジュールの断面構造模式図である。

第 19 図は、本発明によるインテリジェントパワーモジュールの実施例である。

第 20 図は、本発明による 2 in 1 パッケージのその他の実施例であ

る。

第 2 1 図は、本発明による 2 in 1 パッケージのその他の実施例である。

第 2 2 図は、本発明によるブレーキ回路パッケージのその他の実施例である。

第 2 3 図は、金属基板上にプリント回路基板が搭載される 3 相インバータモジュールである。

第 2 4 図は、第 2 0 図のパッケージを使用した 3 相インバータモジュールの実施例である。

発明を実施するための最良の形態

本発明の実施例を、以下図面を使用して詳細に説明する。

(実施例 1)

まず、第 8 図に等価回路を示す 3 相インバータモジュールの場合の実施例を第 1, 4, 8, 9, 10, 11 図を使用して説明する。

第 1 図は平面構造模式図である。A 1 絶縁金属基板 10 上に、基本パッケージ (PKG) 16 が 3 個並べられる。基本 PKG 16 の個数は、インバータ回路の交流出力の相数に等しい。従って、相数が 3 相よりも多いと、相数に応じて基本 PKG の個数が増える。各基本 PKG は、2 個の IGBT と 2 個のフライホイールダイオード (FWD) がトランスファモールドされる、いわゆる 2 in 1 (dual) 構造となっている。この基本 PKG 16 は制御端子 18 と出力端子 19 を持ち、さらに第 1 図では図示されていないが、PKG 底面に電源電圧配線 (P 配線)、接地電位配線 (N 配線)、出力端子 19 とつながっている出力配線が配置されている。これらの P, N, 出力配線は A 1 絶縁金属基板 10 上の銅配線

15で外部端子17に接続されている。この銅配線15は、A1絶縁金属基板の表面を覆う樹脂層上に、プリント配線技術などによって形成される。

銅配線15はPKG16底面の直下に配線されているため、モジュール面積を増大させることはない。また、PKG16において、制御端子18と出力端子19はパッケージの対向面にお互い配置されているので、パワー半導体の主電流を流す主回路領域14とパワー半導体を制御する制御回路領域13はPKG16の両側に配置される。この結果、制御回路が高電圧、大電流を扱う主回路から分離され、電氣的ノイズに強いモジュールを実現できる。

制御端子18と制御回路13、出力端子19と主回路14、PKG底面のP、N、出力配線とA1絶縁金属基板10上の銅配線15、制御回路13と制御端子（ボトムエントリコネクタ）12、主回路14と出力端子U、V、W、A1絶縁金属基板10上P、N配線とP、N端子の接続は、いずれもペースト半田等の半田で行う。

本実施例は定格電圧600V、定格電流100Aで設計したものである。モジュールサイズ（A1絶縁金属基板10のサイズ）は約10cm×7cmと第2図に示した従来例と比べて電流容量は10倍以上にも関わらずモジュールサイズは小さくなっている。

第4図（a）は基本PKG16の内部構造を模式的に示した図、及び、同図（b）はパッケージ外観図である。リードフレーム40上に上アーム、下アームを構成する各々2個のIGBT42U、42L、FWD43U、43Lを半田で接着し、リードフレーム40と各チップの電氣的接続はA1ワイヤ41で行っている。本実施例ではA1ワイヤの直径は500 μ mのものを使用し、ワイヤの電流容量を考慮して、各チップ4本のワイヤを

接続している。なお、本実施例では超音波溶接法により各ワイヤを半導体チップのA1電極に接続している。ステッチボンディングにより IGBT42U のエミッタ（チップ表面）、FWD43Uのアノード、出力配線46が接続され、同じくステッチワイヤボンディングにより、IGBT42L のエミッタ、FWD43Lのアノード、N配線45が接続される。

リードフレーム40中斜線で示している部分以外はPKG底面を形成し、斜線の部分はモジュール底部よりは高い位置となっている。このリードフレーム40の形状で、P配線44、IGBT42L、FWD43L下の出力配線46はモジュール底部となり、金属ベースに接着されるため、熱拡散板を兼ねることができる。出力配線46中、PKGの外に出て、出力端子となる部分がモジュール底面とならないようにしているのは、N配線45が連続的に配線されるのを妨げないようにするためである。

第4図(a)に示すチップがマウントされたリードフレームをトランスファモールドし、リードを切断すると外観は同図(b)となる。モジュール側面から出ている端子は上アーム制御端子47、下アーム制御端子48、及び出力端子46である。

次に、主端子17について第10図を使用して説明する。同図(a)は主端子17となる端子ブロック101の斜視図、同図(b)は断面模式図である。本実施例では大電流まで対応可能となるようにネジ止め対応の端子の実施例を示している。端子となる厚さ1mmの銅板100、ナット102をフェニレンサルファイド(PPS)等の熱可塑性樹脂104にインサート成形している。ナット102の下にはネジ逃げ用の空隙103が形成されている。銅板100は端子ブロック101の側面105から数mm外に張り出しており、この部分で内部回路配線との半田付けを行う。従って、この部分の高さは端子ブロック101底面からA1絶縁

金属基板 10 の厚み分となっている。本実施例ではネジ締め対応について示したが、タブ端子でもかまわない。

第 9 図は基本 P K G 16, 主端子 17, 制御端子 12 が半田付けされる前の A1 絶縁金属基板 10 を示したものである。外周に切り込み 90 が形成されており、この部分に主端子 17, 制御端子 12 がはめ込まれ、端子が半田付けされる。なお、接着性を強化するため必要に応じてシリコーン樹脂接着剤等で接着することも考えられる。A1 絶縁金属基板 10 表面には制御回路 13, 主回路 14 の配線以外に、P, N, 出力配線 (U, V, W) 用の銅パタン 15 が形成されている。この銅パタン 15 上に、2 in 1 P K G 16 は半田付けされる。また、A1 絶縁金属基板 10 の 4 つの角にある穴 11 は放熱板となる A1 絶縁金属基板 10 をフィンにしっかり固定するために、ネジ締めするための穴であり、パワー半導体モジュールでは必須のものである。

第 11 図は、本実施例の断面構造模式図である。断面方向に P K G 表面からトランスファモールド用熱硬化性樹脂 113, 半導体チップ 42L, 43L, 半田 114, リードフレーム (出力配線) 46, ペースト半田 112, A1 絶縁金属基板上の銅配線 15, 絶縁樹脂層 111, A1 ベース 110 となっている。なお、A1 ベース 110, 絶縁樹脂層 111 の厚さは各々 2 mm, 0.13 mm である。以上のように、本実施例では、半導体チップで発生する熱がリードフレーム 46 と銅配線 15 及び厚みの薄い絶縁樹脂層 111 を介して A1 ベース 110 へ放出されるので、熱的な問題は発生しない。さらに、基本 P K G 16 を銅配線 15 に接着すると、配線層は実質的にリードフレーム 46 と銅配線 15 の 2 層となる。従って、配線の電気抵抗及びインダクタンスが大幅に低減できる。本実施例では、N 配線 15 のみの抵抗が 5 mΩ 程度であるが、基本 PKG

を接着すると $0.3 \text{ m}\Omega$ 程度であり、約 $1/10$ の値に低減される。なお、絶縁をより確かにするために、端子ブロック 17, 12 及び P K G 16 を搭載後、絶縁金属基板 10 上に、ハードレジン、シリコンゴム等をモジュール取り付け穴 11 部をのぞいて被覆してもよい。

(実施例 2)

第 12 図に等価回路を示すブレーキ回路内蔵 3 相インバータモジュールの実施例を、第 4, 5, 13 図を使用して説明する。本実施例では第 8 図に示した 3 相インバータに第 12 図中に示すブレーキ回路 120 が P, N 間に挿入されている。前述の 2 in 1 P K G に加えて、このブレーキ回路 120 を 1 個の基本 P K G としている。ブレーキ回路 P K G の実施例を第 5 図に示す。第 5 図 (a) は内部構造模式図で、同図 (b), (c) は各々 P K G 外観図、内部構造断面構造模式図 (樹脂を除く。) である。リードフレーム上に IGBT42B, ダイオード 43B を半田付けし、これらのチップ間、及びチップとリードフレーム間を A1 ワイヤで接続している。A1 ワイヤ径、本数は第 4 図の場合と同様である。リードフレーム中、ブレーキ端子 50、及び P 端子 44 は、P K G 底面に位置するとともに、熱拡散板として作用する。第 4 図に示す 2 in 1 P K G と異なるのは、N 配線 51 である。第 4 図の場合、N 配線 45 も P K G 底面に位置していたが、本実施例では第 5 図 (c) の断面構造に示すように、底面から 1 mm 程度上に位置している。この理由は A1 ワイヤ接続法にある。本実施例では、異なる A1 ワイヤ配線 54, 55 を高さだけを違えて、同じ領域を使用して配線している。ブレーキ配線 50 からダイオード 43B への配線 55 は下部に、IGBT42B から N 配線 51 への配線はその上に配線している。従って、N 配線 51 が P K G 底面を形成する場合における、A1 ワイヤ配線 54, 55 の短絡が防止される。

第5図に示すブレーキ回路PKG53, 2 in 1 PKG16から構成したブレーキ回路内蔵3相インバータモジュールの平面パターンを第13図に示す。第1図に示した3相インバータモジュールに、ブレーキ端子B及びB, P, N端子側に前述のブレーキ回路PKG53を加えている。本実施例はドライバ回路等の制御回路を含まないため、制御配線領域14はA1絶縁金属基板10上銅配線130のみで形成されている。また、制御端子であるボトムエントリコネクタは11端子構成となっている。電流容量100Aの時、モジュールサイズは11cm×6.5cmである。その他、端子ブロック構造、PKGとA1絶縁金属基板10の接着法等は実施例1と同様である。

(実施例3)

第14図に等価回路を示すコンバータ回路内蔵3相インバータモジュールの実施例を、第6, 15図を使用して説明する。

第14図中に示す3相コンバータ140を形成するために本発明では1個のダイオードブリッジ141を基本PKGとしている。このため、本実施例は、単相インバータのみならず、ダイオードブリッジ141が並列接続される大電流モジュールにも適用できる。

ダイオードブリッジ141を第6図(a), (b)に示す。第6図(a)に示すように、リードフレーム40上に2個のダイオード60を半田付けし、リードフレーム40とダイオード60をA1ワイヤで電氣的に接続する。本実施例において、端子(P44, N45, 入力61)は全てPKG底面に位置し、第6図(b)に示すようにダイオードブリッジPKG62の外周部からは端子が出ていない。

本PKG62と2 in 1 PKG16を1枚の放熱板に実装した例を第15図に示す。2 in 1 PKG16群の左隣に3相コンバータを構

成するための3個のダイオードブリッジPKG 62を配置している。交流出力端子であるR, S, T, U, V, Wと直流電圧端子であるN, P1, P2及び制御端子12をPKG群を挟んでA1絶縁金属基板の対向面に配置している。この構造でノイズに強い構造を実現することができる。モジュール形状は3個のダイオードブリッジ62のためはかなり横長になり、モジュールサイズは13.5cm×7cmである。

(実施例4)

本発明の一つの特徴は、低コストで多品種に展開できることである。この特徴を表す実施例を第16図に示す。同図(b)の等価回路に示す、1対のスイッチング素子を配置した、いわゆるdual PKG(2 in 1 PKG)の実施例である。これまでの実施例では電流容量はいずれも100Aの場合を示しているが、本実施例では電流容量100Aの2 in 1 PKG 16を2個並列接続することにより、電流容量200Aの2 in 1 PKGを実現している。基本PKG 16に制御端子47, 48及び出力端子46を持たせているために、容易に並列接続が実現されている。このように、本発明では、並列接続する際に、制御端子12及び出力端子160から各PKGへの寄生インダクタンスの差に十分注意すれば、電流容量の異なるパワー半導体モジュールを実現できる。

(実施例5)

これまで述べてきた実施例は、いずれも底面にリードフレームを持つPKGをA1絶縁金属基板10上の銅配線15に半田付けして絶縁するものであった。この場合の利点は、構造が単純で低コスト化できることである。しかし、熱抵抗はセラミック基板を使用した場合と比べて大きくなる。この原因は絶縁樹脂層111の熱抵抗がセラミックと比べて1桁以上大きいためである。例えば、熱拡散板となるリードフレームの厚

さが 1 mm の時、電流容量 1 0 0 A の I G B T チップの熱抵抗は実測の結果、約 0 . 5 5 °C / W とセラミック基板である窒化アルミ基板の約 0 . 3 °C / W と比べて 2 倍以上となっている。このような熱抵抗の増加を防止できる実施例を第 7 , 1 7 , 1 8 図を使用して説明する。

第 7 図はセラミック基板を使用した基本 P K G の実施例を示している。銅張りセラミック基板 7 0 に上アーム用 IGBT42U, FWD43U, ドアーム用 IGBT42L, FWD43L 半田付けする。なお、セラミック上の銅パターンは第 4 図に示すリードフレームと類似のパターンとなっている。半導体チップが半田付けされたセラミック基板 7 0 に、リードフレーム 4 0 を半田 7 3 で半田付けする。半田付けする箇所は、P 配線 7 1 , N 配線 7 3 , 出力端子 4 6 となる箇所である。また、リードは P K G 側壁より出すために、リードフレーム 4 0 位置は P K G 底面の銅張りセラミック基板 7 0 よりも高い位置となっている。第 7 図 (b) は P K G 外観を示している。2 in 1 P K G 7 4 の側壁から制御端子 4 7 , 4 8 , P 端子 7 1 , N 端子 7 2 , 出力端子 4 6 がでている。P K G 底面はセラミック基板で形成されているために、全ての端子を P K G 側壁からだしている。また、P 端子 7 1 , N 端子 7 2 が P K G の両側から出ているのは、A 1 絶縁金属基板 1 0 上の銅配線 1 5 にセラミック基板上銅配線を接続して、P 配線, N 配線を接続するためである。

上記の P K G (2 in 1) 及び前述のブレーキ回路 P K G 5 3 を使用して、ブレーキ回路内蔵 3 相モジュールを構成した実施例を第 1 7 図に示す。

第 1 7 図 (a) は平面模式図を示している。モジュールサイズは 1 4 cm × 6 . 5 cm と、第 1 3 図に示す P K G 1 6 を使用した場合の 1 1 cm × 6 . 5 cm と比べて、3 割程度モジュール長辺方向が大きくなっている。

各 P K G の配列の仕方、制御配線 130 のパターン等は第 13 図に示す実施例 2 の場合と同様である。

本実施例の特徴を第 17 図 (b) を使用して説明する。この図は端子ブロック、P K G 74 を搭載前の A1 絶縁金属基板 10 の平面パターンを示している。基本 P K G 74 が半田付けされる領域の絶縁樹脂層 111 がエッチングされて、A1 ベースの金属表面が露出されている。この領域 170 に 2 in 1 P K G 74 を半田付けする。つまり、P K G 74 の底面である銅張りセラミック基板 70 全面が半田付けされる。領域 170 の両側には P, N 配線となる銅配線 15 が配置され、端子 71, 72 により電氣的に連続した配線となる。なお、本実施例では A1 絶縁金属基板の例を示しているが、銅絶縁金属基板を使用してもよい。この場合は、アルミに比べ半田付けが容易になる。また、本実施例ではブレーキ回路は第 13 図の場合と同様に、絶縁樹脂層 111 上に配置する構造としている。これはブレーキ回路はインバータ部に比べて発熱量が小さいため、熱抵抗をそれほど小さくする必要が無いためである。しかしながら、ブレーキ回路についても、第 7 図と同様、セラミック基板を使用した P K G でもよい。

第 18 図は、上記実施例の変形例である銅絶縁金属基板を用いたモジュールの断面構造模式図を示す。本変形例は、半導体チップ (42L, 43L) 表面から、Si, 半田 114, セラミック基板 70, 半田 112, 銅ベースとなり、従来の銅ベースを使用したパワー半導体モジュールと同様の放熱系を有する。セラミックとして厚さ 0.635 mm の窒化アルミを用いた場合の熱抵抗は 0.3 °C/W と従来と同程度の熱抵抗を達成できる。なお本変形例の場合には、端子 (例えば 48) は絶縁樹脂 111 上の銅配線に接続されている。

(実施例6)

第19図は、スイッチング素子とその駆動回路および保護回路を内蔵したインテリジェントパワーモジュール (IPM) の実施例を示している。ブレーキ回路を内蔵された3相インバータの例である。ドライバ回路及び保護回路からなるトランスファモールドされた上アーム制御用ICチップ190、下アーム及びブレーキ回路制御用ICチップ191が内蔵されている。

これまでの実施例では、制御回路領域13は絶縁金属基板上銅配線のみから構成されていたが、本実施例では能動回路を含む制御ICも制御回路領域13に存在することが特徴である。上アーム制御のためには3つの基準電位 (出力U, V, W) が必要のため、本実施例では上アーム制御ICを3チップ構成とし、下アームは基準電位が一つのため、1チップ構成としている。本構成によれば、回路構成が簡単になりかつ信頼性が高くなる。しかし、本回路構成に限定されるものではなく、例えば、本実施例の4個の制御回路ICを1チップとしてもよい。

(実施例1～6の変形例)

第20, 21, 22, 23, 24図を使用して、その他の実施例について説明する。

第20, 21図は基本PKGである2 in 1 PKGのその他の実施例である。本実施例ではリードフレーム中、P, N配線44, 45を構成する部分が隣接している。このような配線パターンにすると、配線P, N間の相互インダクタンスにより配線P, Nの自己インダクタンスが低減する。このため、交流電圧がかかる出力配線によって、P, N配線にノイズが発生することが防止できる。

第20図では、上アーム制御端子47と下アーム制御端子48をPKG

対向面に出している。さらに出力端子 4 6 は端子 4 8 に接続される配線に短絡しないように端子 4 8 よりも長くなっている。一方、第 2 1 図ではリードフレームを利用して下アーム制御端子 4 8 も上アーム制御端子 4 7 と P K G の同じ側面に出しており、出力端子は P K G 底面となっている。

第 2 4 図は、第 2 0 図の P K G を使用した 3 相インバータモジュールの実施例である。本実施例の場合、制御端子 1 2 は P, N 端子の対向面に位置する。このため、下アーム用制御配線 2 4 0 の配線距離と上アームのそれがほぼ同じ大きさになり、配線のインダクタンスや抵抗が上下アームでほぼ等しくなる。従って、上下アームのスイッチング素子のスイッチング動作がほぼ均一になる。

第 2 2 図は、ブレーキ回路のその他の実施例である。第 5 図に示した実施例の場合と異なり、N 配線 4 5 も P K G 底面となっている。

以上説明してきた実施例は、いずれも A 1 または銅絶縁金属基板を使用する場合についてであった。

第 2 3 図 (a) に、金属基板上にプリント基板が搭載される 3 相インバータモジュールの平面構造模式図を、同図 (b) に断面構造模式図を示す。絶縁金属基板を使用しないため、使用する基本 P K G (2 in 1 P K G) は絶縁タイプでなければならず、第 7 図に示した P K G 7 4 を使用している。銅ベース 2 3 3 上にプリント回路基板 (P W B) 2 3 0 をシリコン樹脂接着剤等で接着する。この P W B 2 3 0 上には、主回路配線 2 3 1、及び制御配線 2 3 2 が形成されている。P W B 2 3 0 及び銅ベース 2 3 3 はこれまでの実施例と同様に端子 1 7, 1 2 が配置される部分に端子形状の切り込みが形成されており、さらに、P W B 2 3 0 は基本 P K G 7 4 が配置される部分はくり抜かれている。また、ベース取り付け穴 1 1 の

部分にもPWB230は配置しない。従って、PWBと銅ベースとを一緒にネジでフィンに締め付けても、取り付けネジがゆるむことは無く、フィンへの締め付け力を確保できるので、熱抵抗が低減される。

第23図(b)は断面構造を示したものである。前述の第18図の場合と異なるのは制御端子48をPWB230上の銅パターンに半田付けする点である。放熱系は第18図の場合と同一であり、従来のパワーモジュールと同様の低熱抵抗を実現できる。

本発明のパワーモジュール構造によれば、他品種に共通化できる基本構造を一つのPKGとするために、PKGの量産化が容易になり、パワーモジュールを低コスト化できると同時に組立後の不良PKGのリペアも容易に行える。

請 求 の 範 囲

1. 金属基板と、

該金属基板上に、絶縁層を介して固定される複数の配線と、

パワー半導体素子を含み、前記複数の配線に電氣的に接続されるパワー回路と、

を備え、

前記パワー回路は、前記複数の配線間に電氣的に接続される複数の回路部分を有し、

該複数の回路部分はそれぞれ一体化されかつ前記複数の配線と接着される複数の端子を有する半導体装置。

2. 請求項 1 において、前記複数の回路部分は、それぞれ樹脂で覆われるパッケージに内蔵される半導体装置。

3. 請求項 1 において、前記複数の回路部分において、前記パワー半導体素子は配線層に電氣的に接続され、前記複数の端子は該配線層から延びている半導体装置。

4. 請求項 3 において、前記複数の回路部分は、それぞれ樹脂で覆われるトランスファモールドパッケージに内蔵され、前記配線層及び前記複数の端子がリードフレームから形成される半導体装置。

5. 請求項 3 において、前記配線層がセラミック基板上に形成される半導体装置。

6. 請求項 5 において、前記セラミック基板は前記金属基板の金属露出面に接着される半導体装置。

7. 請求項 1 において、前記絶縁層は前記金属基板表面に接着される樹脂層である半導体装置。

8. 請求項 1 において、前記絶縁層及び前記複数の配線が、前記金属基

板上に接着されるプリント配線基板である半導体装置。

9. 請求項1において、前記金属基板上に、前記複数の配線層と電氣的に接続される複数の外部端子を備える半導体装置。

10. 請求項1において、前記複数の配線が、電源電圧配線及び接地電位配線である半導体装置。

11. 請求項1において、前記パワー回路部が、インバータ回路を含み、前記複数の回路部分が少なくともインバータ回路の1相分である回路部分をインバータ回路の交流出力の相数に等しい個数有する半導体装置。

12. 請求項11において、前記パワー回路部が、さらにブレーキ回路を含み、該ブレーキ回路が前記複数の回路部分の1回路部分である半導体装置。

13. 請求項1において、前記パワー回路部が、コンバータ回路を含む半導体装置。

14. 金属基板と、

該金属基板上に、絶縁層を介して固定される複数の配線と、

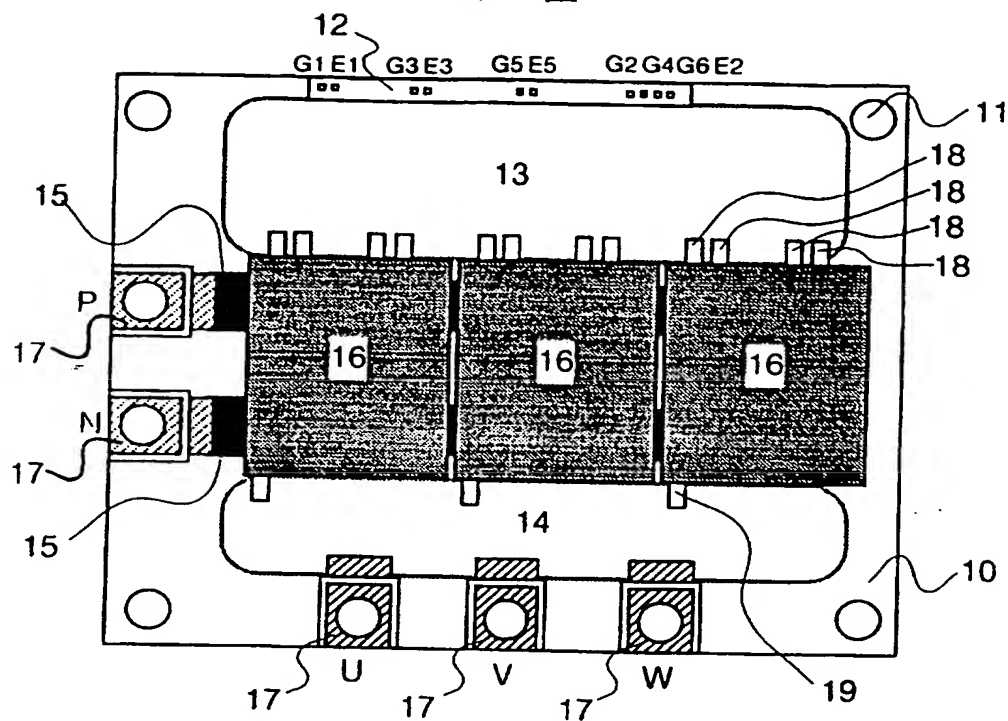
パワー半導体素子を含み、前記複数の配線に電氣的に接続されるパワー回路部と、

を備え、

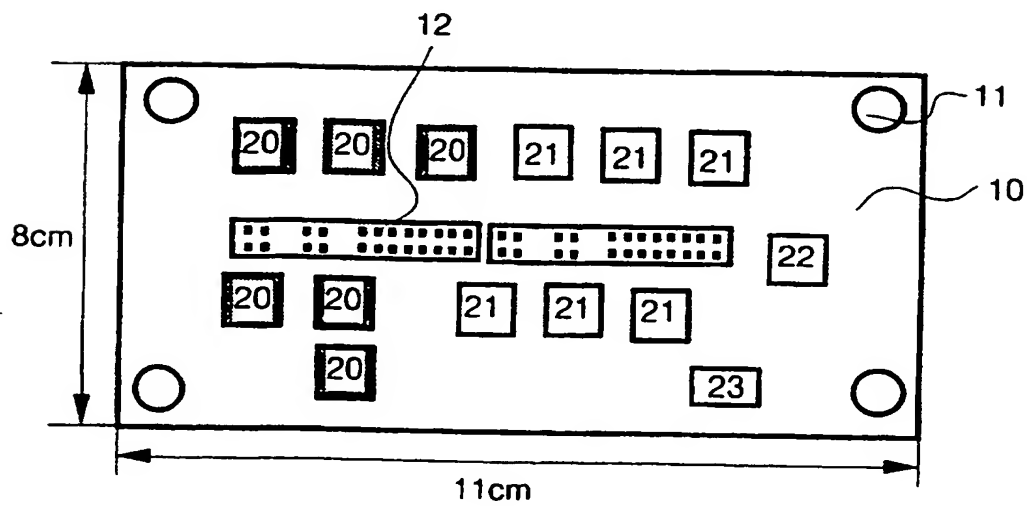
前記パワー回路は、前記複数の配線間に電氣的に接続される複数の回路部分を有し、

該複数の回路部分が接続される前記配線の抵抗の大きさは、前記複数の回路部分が接続されないときの前記配線の抵抗の大きさよりも小さくなる半導体装置。

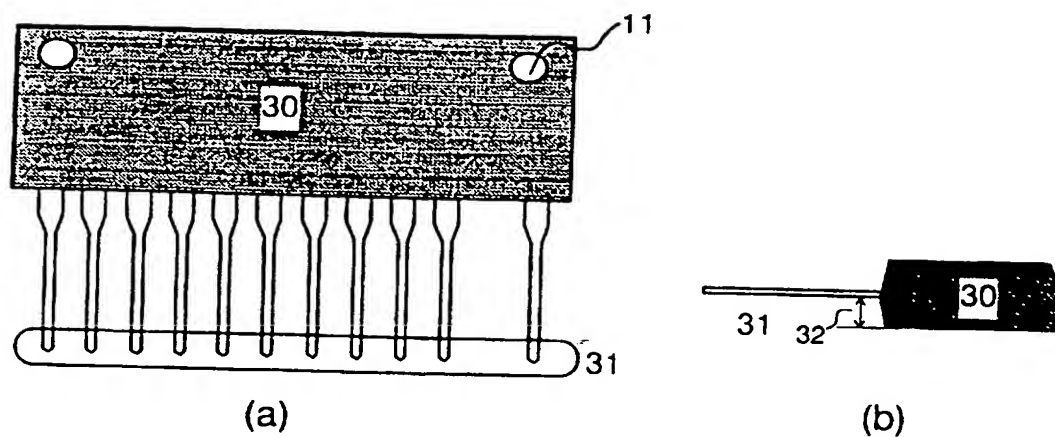
第 1 図



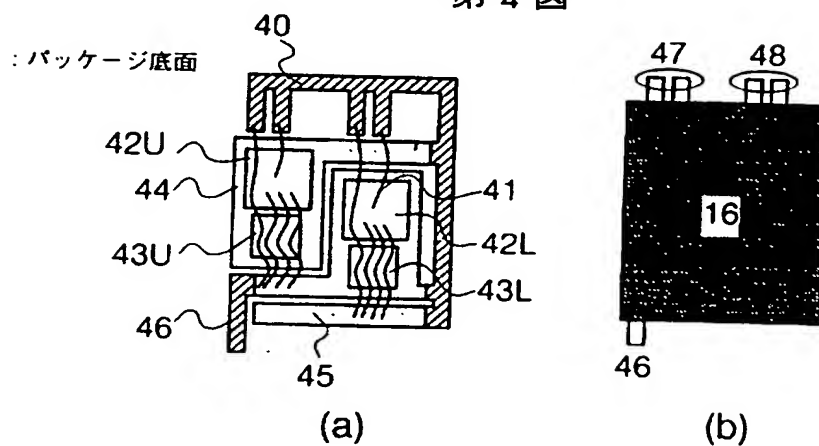
第 2 図



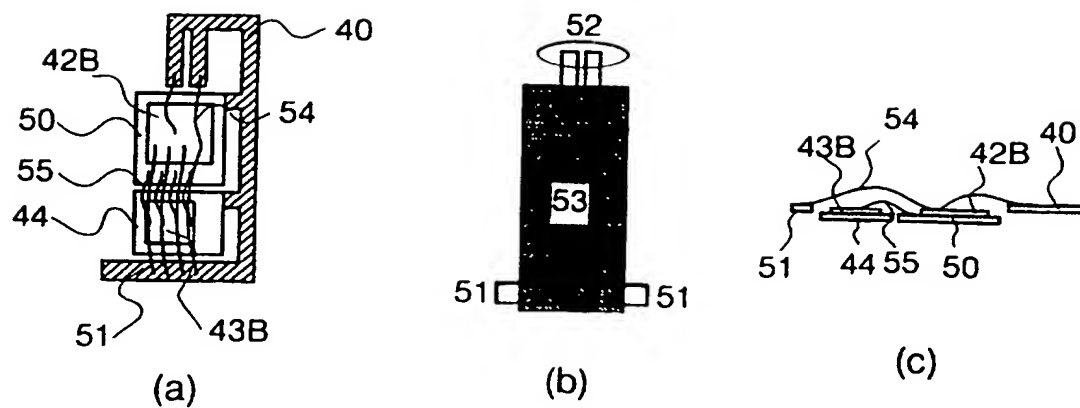
第 3 図



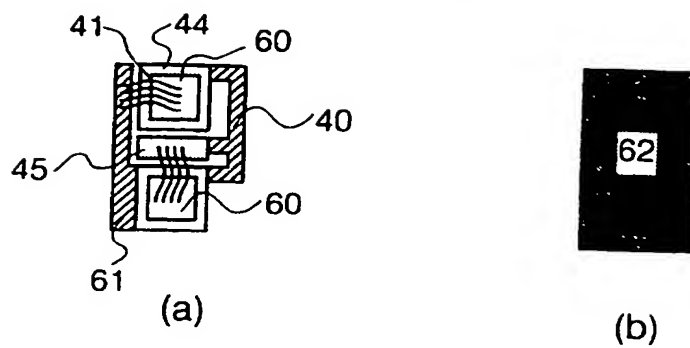
第 4 図



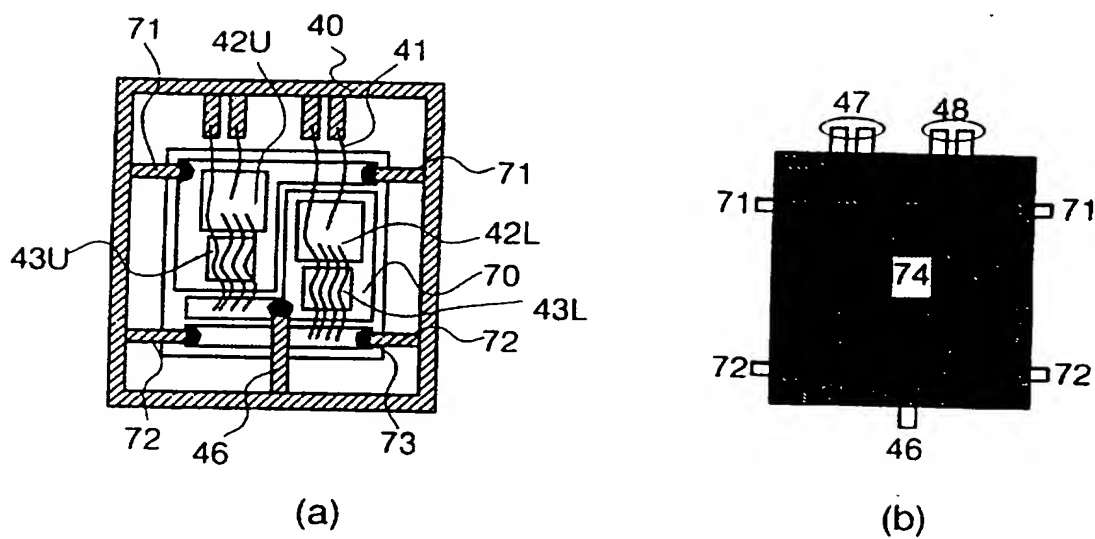
第 5 図



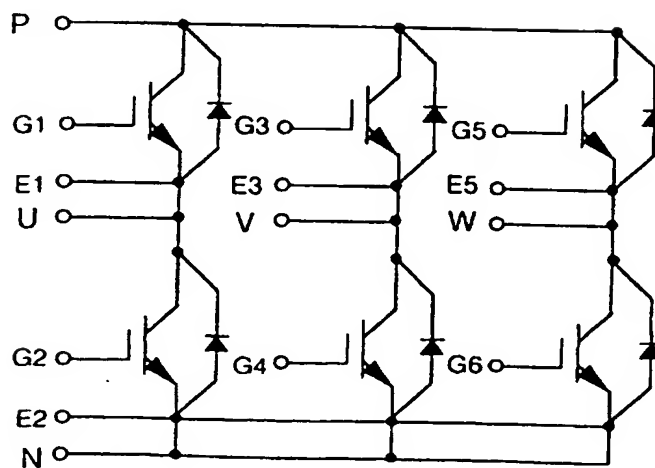
第 6 図



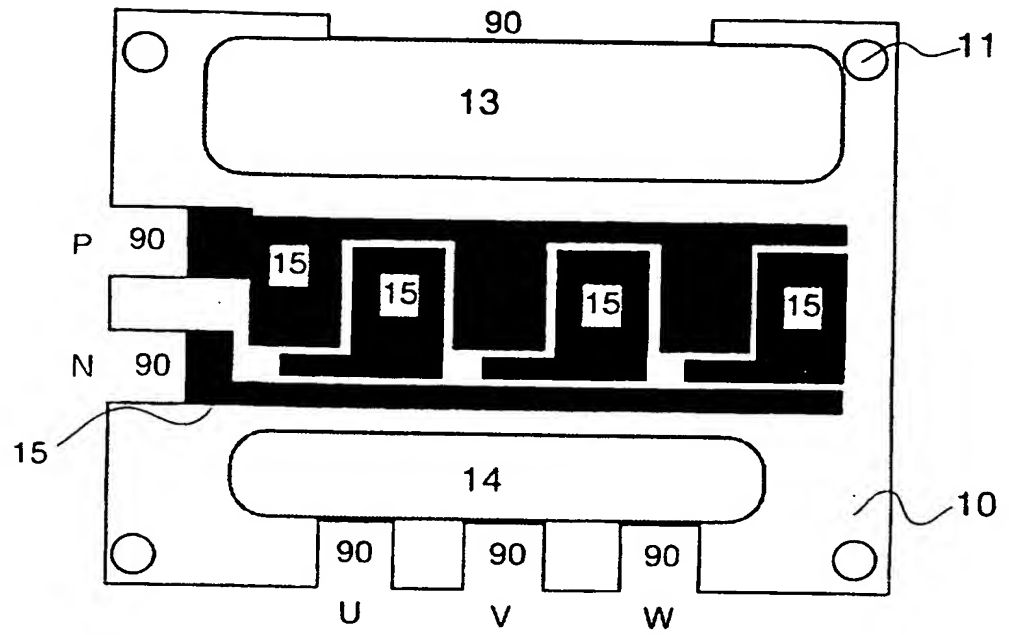
第 7 図



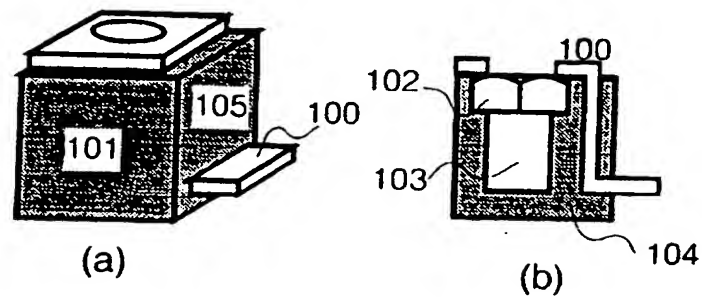
第 8 図



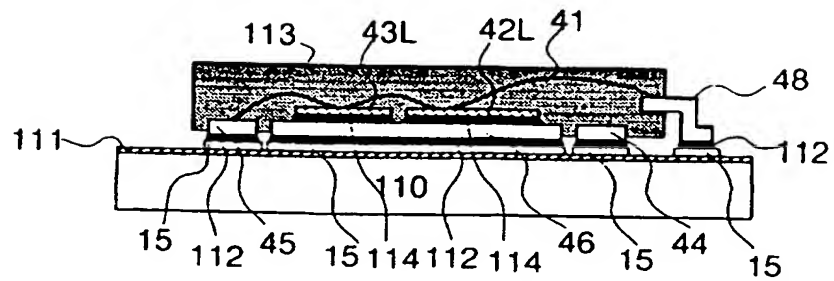
第 9 図



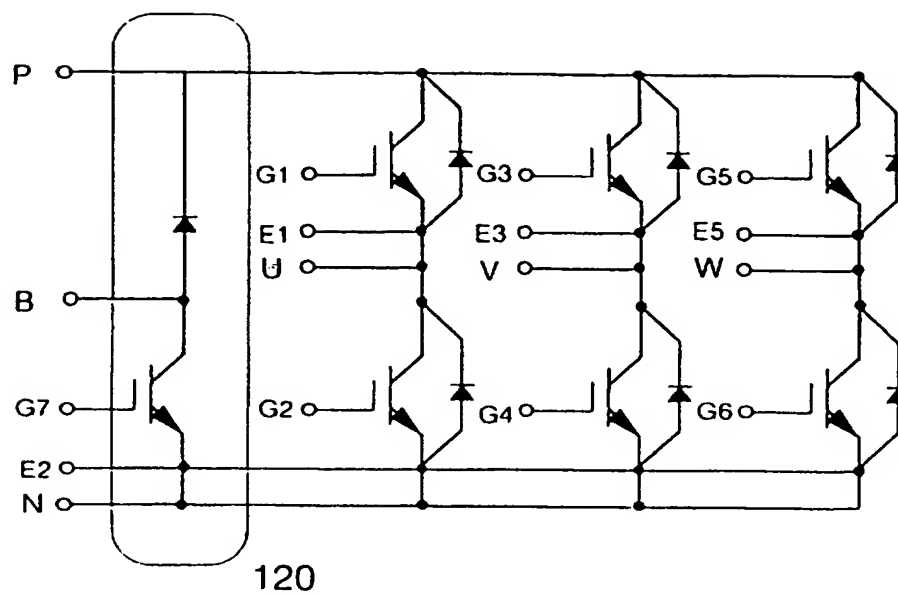
第 1 0 図



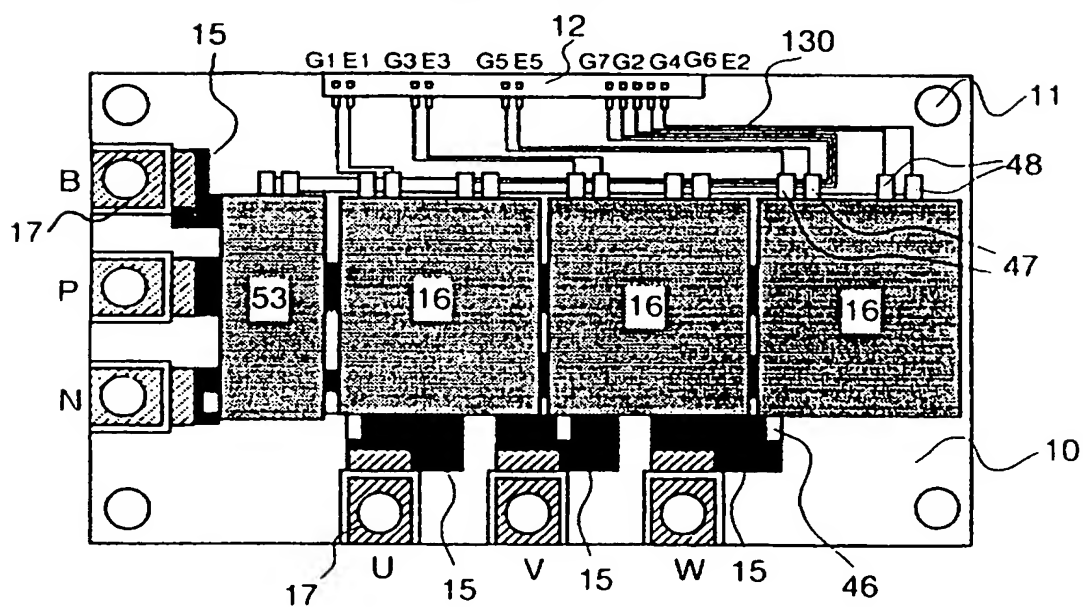
第 1 1 図



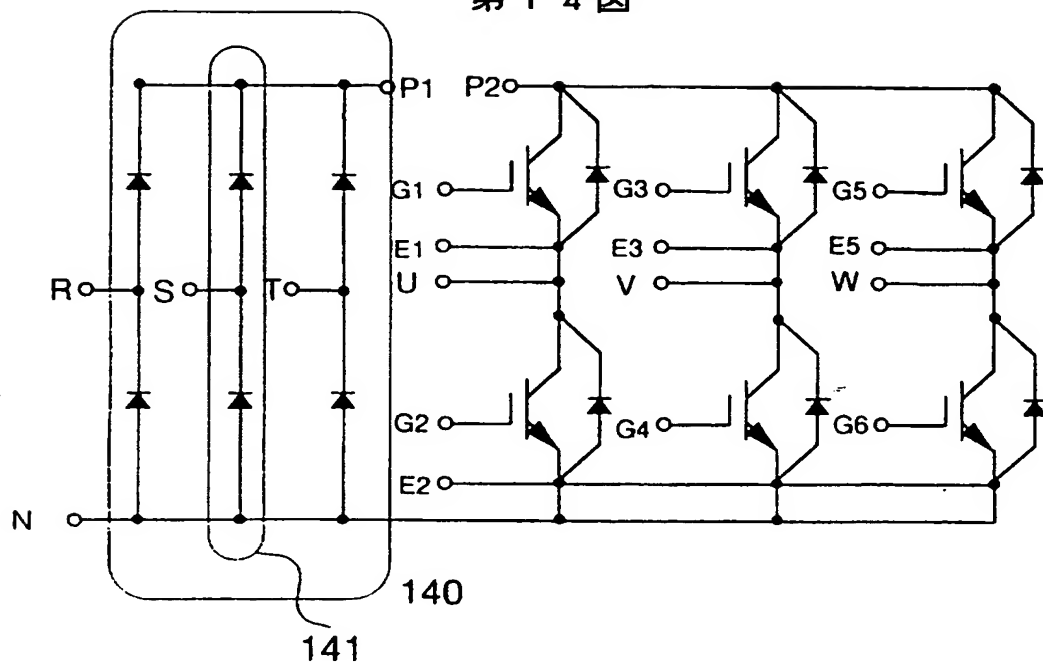
第 1 2 図



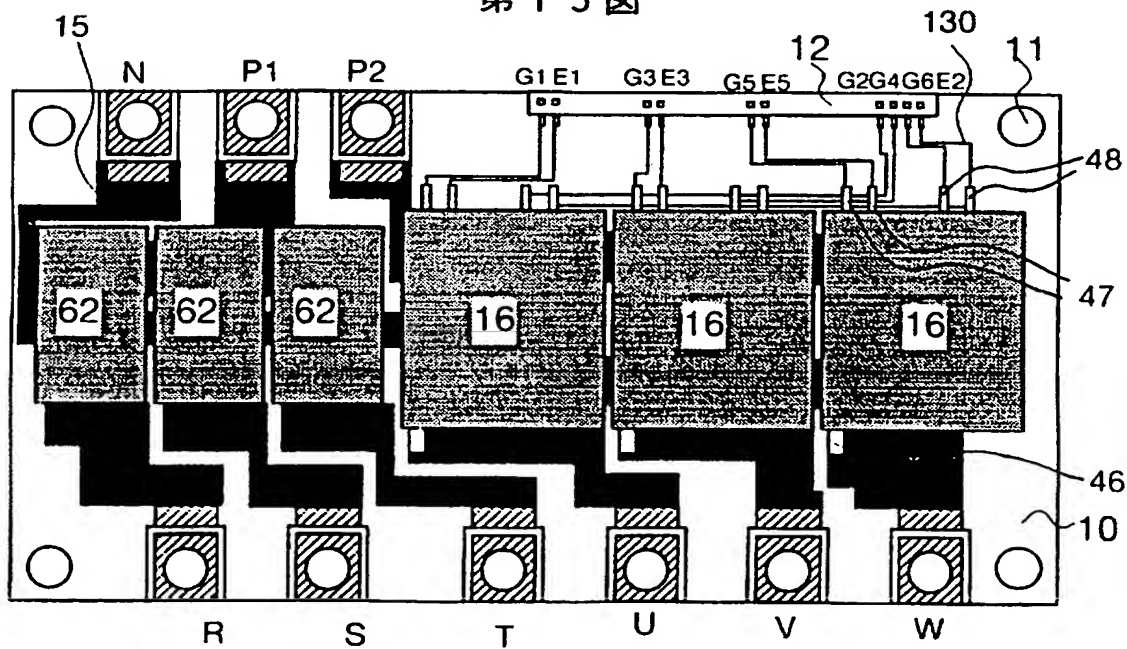
第 1 3 図



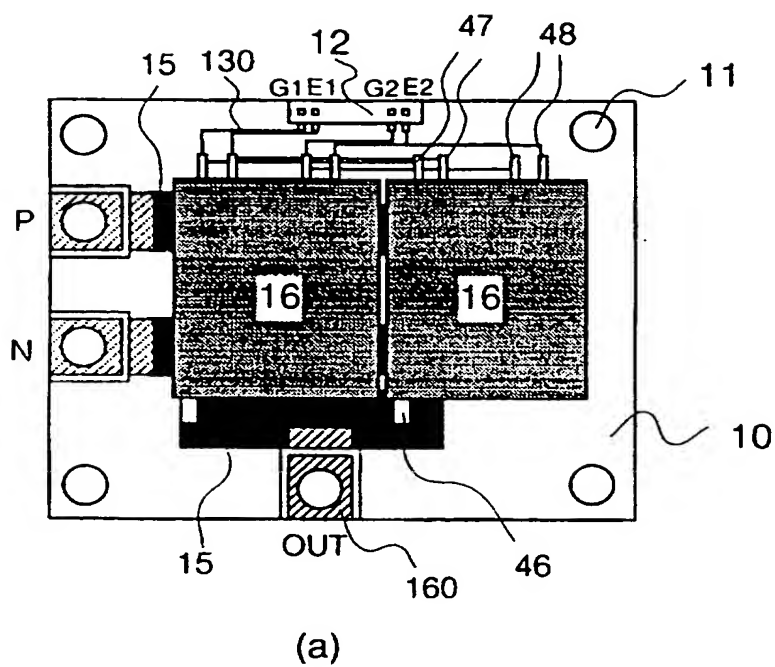
第 1 4 図



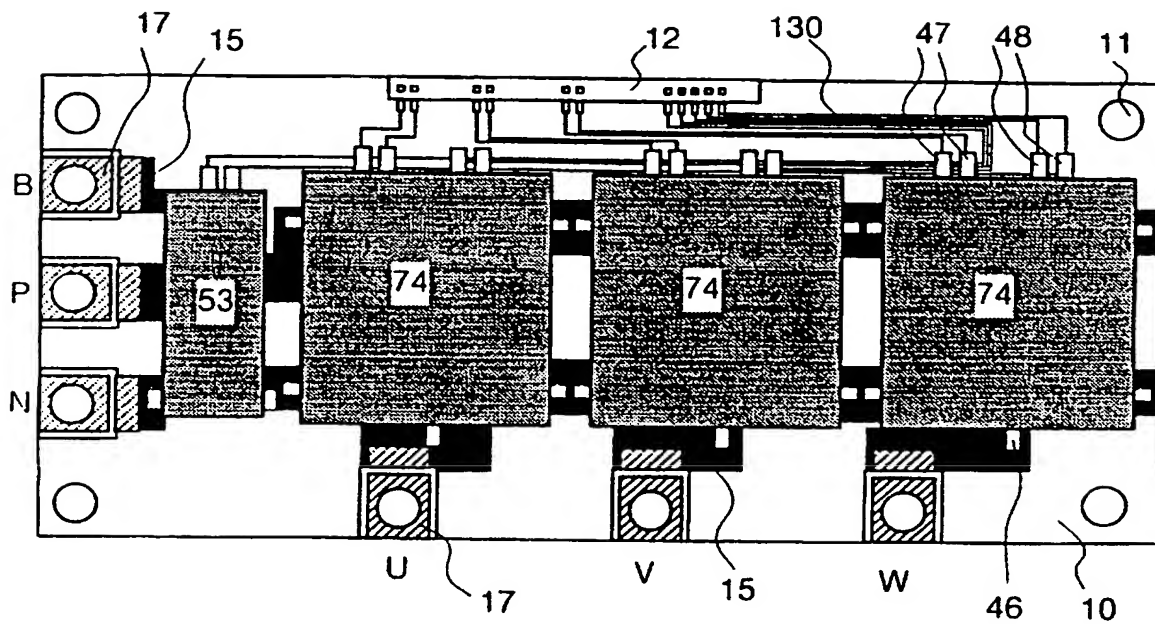
第 1 5 図



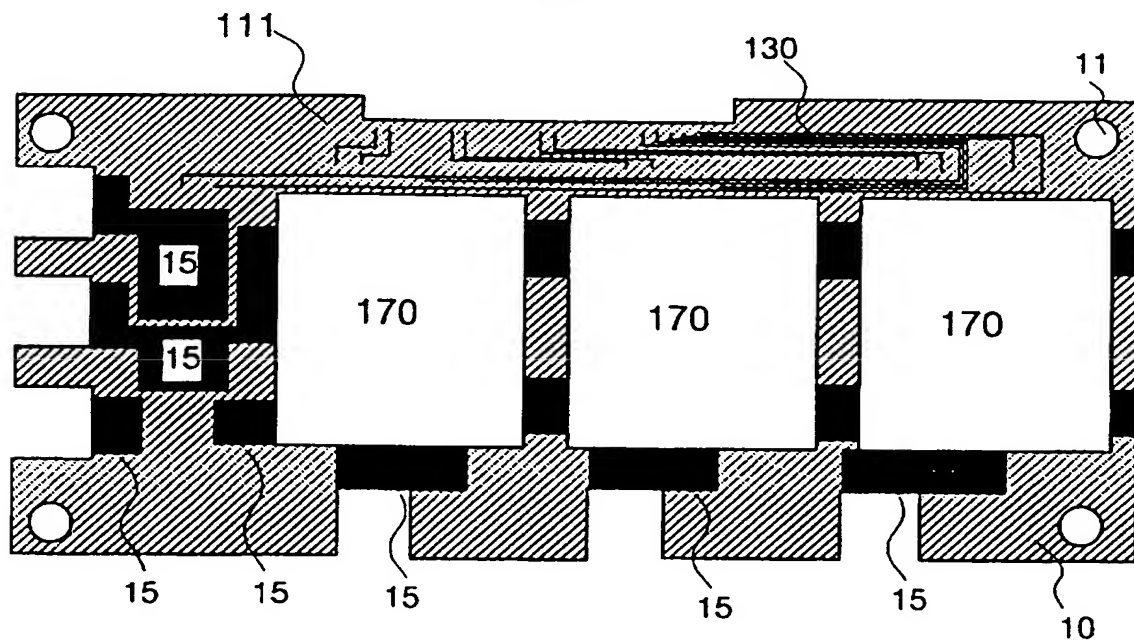
第 16 図



第 17 図

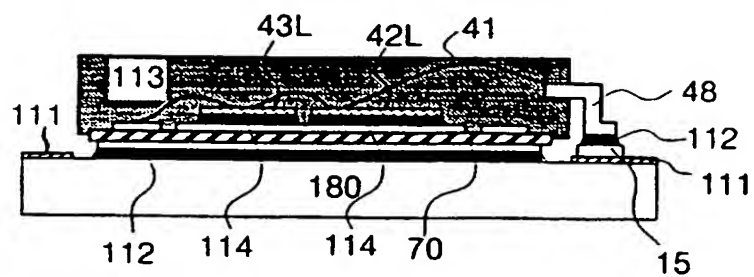


(a)

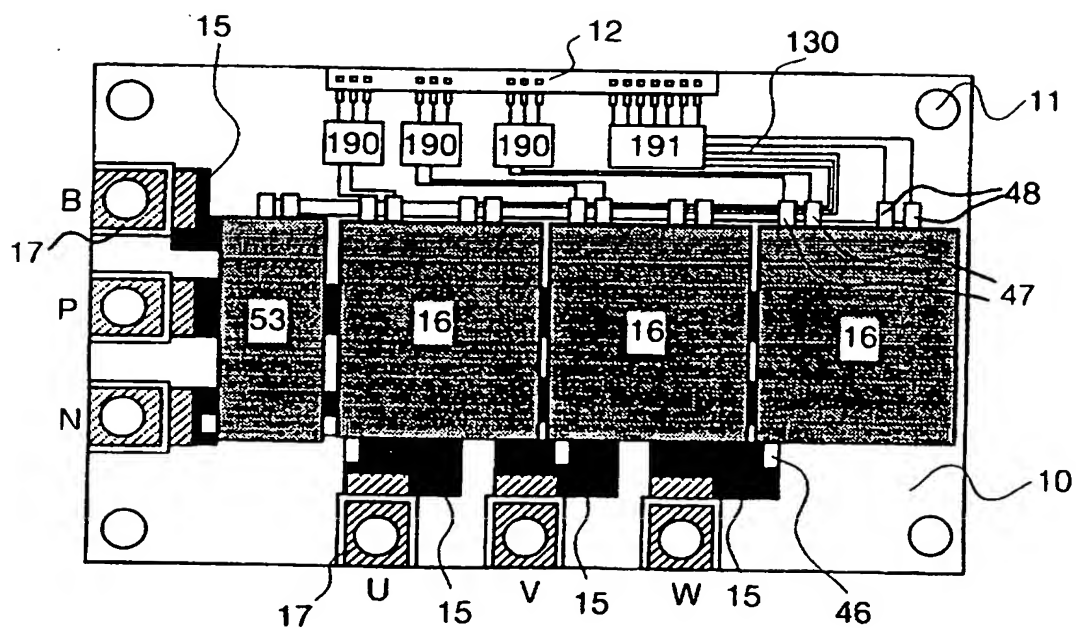


(b)

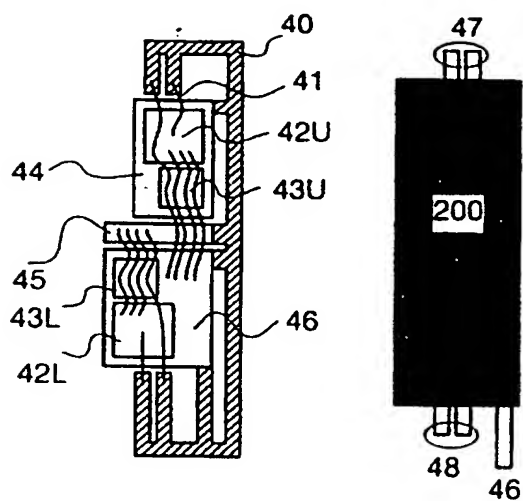
第 18 図



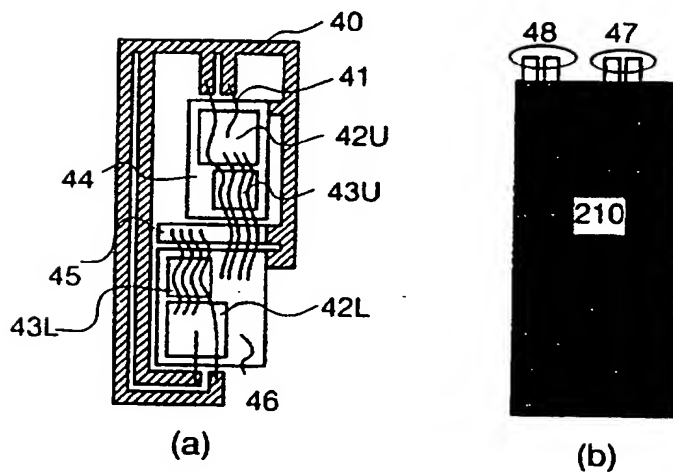
第 19 図



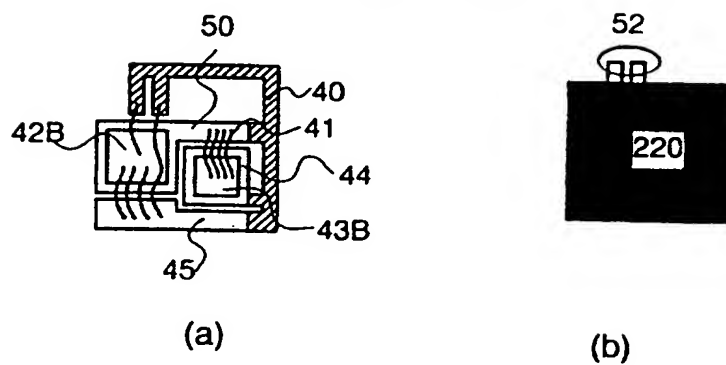
第 2 0 図



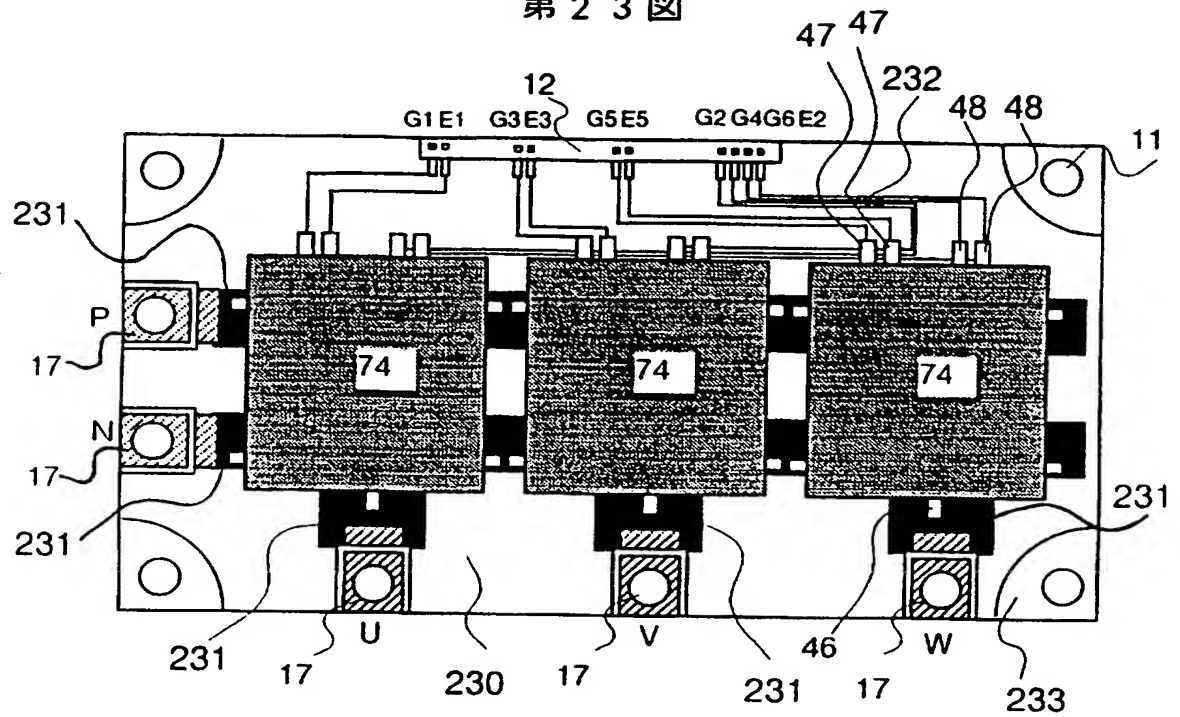
第 2 1 図



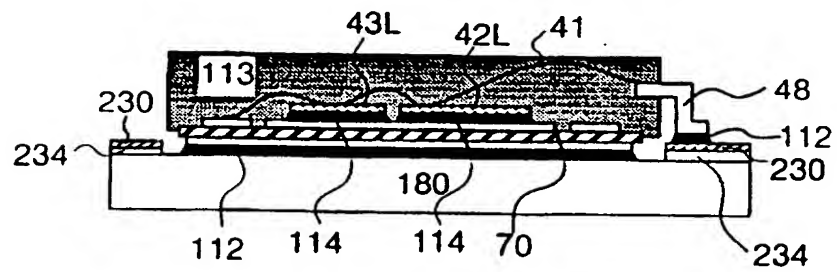
第 2 2 図



第 2 3 図

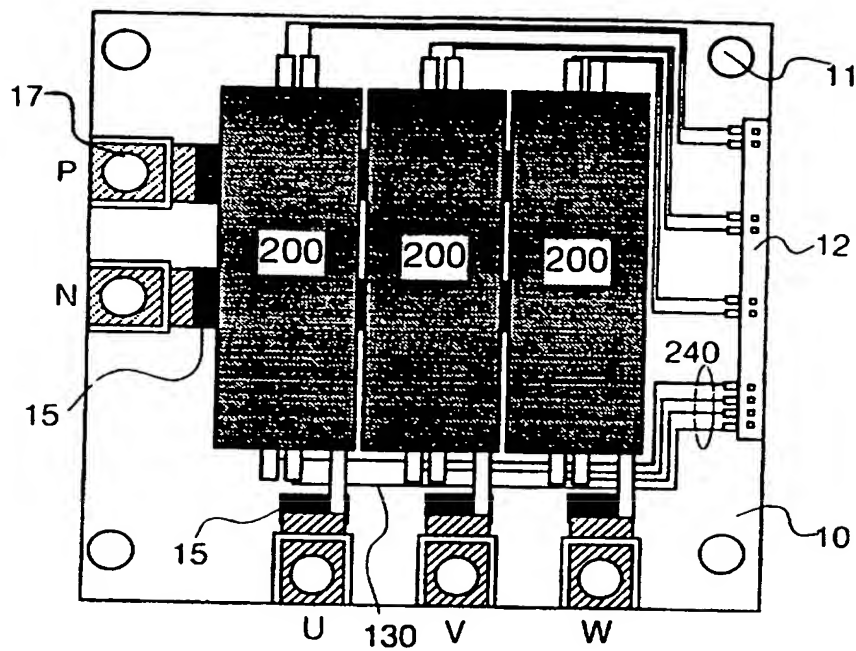


(a)



(b)

第 2 4 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02541

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H02M7/48, H01L25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H02M7/48-7/5395, 7/72-7/81, H01L25/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1996
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 3-195053, A (Sanyo Electric Co., Ltd.), August 26, 1991 (26. 08. 91) (Family: none)	1 - 14
Y	JP, 4-273150, A (Fuji Electric Co., Ltd.), September 29, 1992 (29. 09. 92) (Family: none)	1 - 14
Y	JP, 6-13539, A (Fuji Electric Co., Ltd.), January 21, 1994 (21. 01. 94) (Family: none)	2
Y	JP, 2-78265, A (Nihon Inter Electronics Corp.), March 19, 1990 (19. 03. 90) (Family: none)	3, 4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

November 29, 1996 (29. 11. 96)

Date of mailing of the international search report

December 10, 1996 (10. 12. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP96/02541

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H02M7/48, H01L25/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H02M 7/48-7/5395, 7/72-7/81, H01L25/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1996年

日本国登録実用新案公報 1994-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 3-195053, A (三洋電機株式会社) 26. 08月. 1991 (26. 08. 91) (ファミリーなし)	1-14
Y	J P, 4-273150, A (富士電機株式会社) 29. 09月. 1992 (29. 09. 92) (ファミリーなし)	1-14
Y	J P, 6-13539, A (富士電機株式会社) 21. 01月. 1994 (21. 01. 94) (ファミリーなし)	2
Y	J P, 2-78265, A (日本インター株式会社) 19. 03月. 1990 (19. 03. 90) (ファミリーなし)	3, 4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29. 11. 96

国際調査報告の発送日

10.12.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松浦 功

印

5H

9181

電話番号 03-3581-1101 内線 3530

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.